

PUB-NO: JP409036320A

DOCUMENT-IDENTIFIER: JP 09036320 A

TITLE: FORMING METHOD OF MEMORY CAPACITOR

PUBN-DATE: February 7, 1997

INVENTOR-INFORMATION:

NAME

YAMATE, MASAHIRO

COUNTRY

INT-CL (IPC): H01 L 27/108; H01 L 21/8242; H01 L 27/04; H01 L
21/822

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent dropout of a cylinder part in the case of forming a cylindrical memory capacitor.

SOLUTION: An SiN etching stopper 22 and a poly Si lower layer electrode material are laminated in order on an SiO₂ insulating film 20 covering an MOSFET 12, and then an SiO₂ dummy pattern 26 is formed on the lower layer electrode material. It is etched via the dummy pattern 26 by dry etching, and a lower layer electrode protrusion 28 having an overhang type side wall 28a is formed. A poly Si side wall forming material is laminated on the dummy pattern 26, and then etched by anisotropic etching. Thus a side wall is formed in a region from the side wall 28a of the lower layer electrode protrusion 28 to the side wall 26a of the dummy pattern 26. Next, the dummy pattern 26 is eliminated by etching. In this case, when the side wall is peeled from the lower layer electrode protrusion 28, the side wall is caught in the overhang type side wall 28a, so that the dropout of the side wall can be prevented.

TITLE: Formation method of stacked capacitor cylinder type memory e.g. DRAM - by removing dummy pattern after forming side wall on side attachment wall of dummy pattern from lower layer electrode projection changing side wall in forming capacitor insulating film and upper electrode

PRIORITY-DATA: 1995JP-0183036 (July 19, 1995)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 09036320 A	February 7, 1997		015	H01L027/108

INT-CL (IPC): H01 L 21/822; H01 L 21/8242; H01 L 27/04; H01 L 27/108

ABSTRACTED-PUB-NO: JP 09036320A

BASIC-ABSTRACT:

The method involves forming a lower layer electrode through an interlayer insulating film (20) on a memory transistor (12) in a substrate. A memory capacitor is formed by which a capacitor insulating film and an upper electrode are formed sequentially on the lower layer electrode. A lower layer conductivity film is formed on the interlayer insulating film.

A dummy pattern (26) is formed on the lower layer conductivity film. A lower layer electrode projection (28) is formed by which the overhang side attachment wall (28a) covers the substrate. A side wall is formed on the side attachment wall of the dummy pattern from the side attachment wall of the lower layer electrode projection. The dummy pattern is removed. The side wall in forming the capacitor insulating film and the upper electrode is changed.

ADVANTAGE - Prevents falling of side wall from lower layer electrode projection since side wall is caught in overhang side attachment wall even if side wall peels from projection. Improves yield of memory capacitor and lessens possibility of side wall to peel from since adhesion of side wall and projection is improved.

L9 ANSWER 7 OF 7 CAPLUS COPYRIGHT 2002 ACS

Full Text

AN 1997:243754 CAPLUS

DN 126:232441

TI Manufacture of memory capacitor in dynamic random-access memory device

IN Yamate, Masahiro

PA Oki Electric Ind Co Ltd, Japan

SO Jpn. Kokai Tokkyo Koho, 15 pp.

CODEN: JKXXAF

DT Patent

LA Japanese

IC ICM H01L027-108

ICS H01L021-8242; H01L027-04; H01L021-822

CC 76-14 (Electric Phenomena)

FAN.CNT 1

102-2

PATENT NO.	KIND DATE	APPLICATION NO.	DATE
PI JP 09036320	A2 19970207	JP 1995-183036	19950719

AB The memory capacitor is manufd. on a memory transistor by forming an underlayer elec. conductive film, preferably polycryst. Si, on an interlayer insulating film, forming a dummy pattern on the conductive film, etching the conductive film via the dummy pattern to form an underlayer electrode with overhanging sidewalls, forming sidewalls, preferably from amorphous Si, between the sidewalls of the electrode and the dummy pattern, removing the dummy pattern, preferably after crystn. of the amorphous Si, and forming a capacitor insulating film and an overlayer electrode. The method prevents release of sidewalls and is useful for manuf. of cylindrical stacked capacitors.

ST memory capacitor DRAM sidewall release prevention

IT Memory devices

(DRAM (dynamic random access); manuf. of memory capacitor in dynamic random-access memory device for prevention of releasing sidewall)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-36320

(43)公開日 平成9年(1997)2月7日

(51)Int.Cl.⁶
H 01 L 27/108
21/8242
27/04
21/822

識別記号 庁内整理番号

F I
H 01 L 27/10
27/04

技術表示箇所
621C
C

審査請求 未請求 請求項の数2 OL (全15頁)

(21)出願番号 特願平7-183036

(22)出願日 平成7年(1995)7月19日

(71)出願人 000000295
沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号

(72)発明者 山手 正浩
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 弁理士 大垣 孝

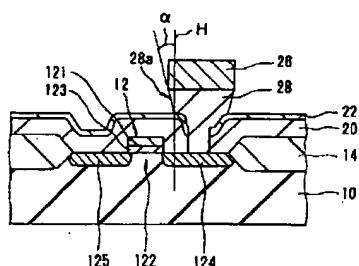
(54)【発明の名称】 メモリキャバシタの形成方法

(57)【要約】

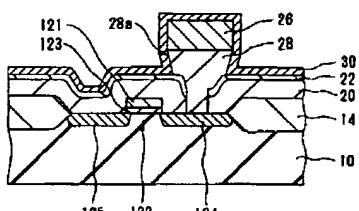
【目的】 円筒型メモリキャバシタの形成においてシリコン部分の脱落を防止する。

【構成】 MOSFET12を覆うSiO₂絶縁膜20上に順次に、SiNエッチングストップ22及びpolySi下層電極材料を積層し、然る後、下層電極材料上にSiO₂ダミーパターン26を形成する。次いでドライエッチングにより、ダミーパターン26を介して下層電極材料をエッチングして、オーバーハンギング状の側壁28aを有する下層電極突起28を形成する。次いでダミーパターン26上にpolySiサイドウォール形成材料を積層し、然る後、異方性エッチングによりサイドウォール形成材料をエッチングして、下層電極突起28の側壁28aからダミーパターン26の側壁26aにわたる領域に、サイドウォールを形成する。次いでダミーパターン26をエッチング除去する。この除去の際に、サイドウォールが下層電極突起28から剥離することがあっても、サイドウォールはオーバーハンギング状の側壁28aに引っ掛かるので、サイドウォールの脱落を防止できる。

(A)



(B)



28 : ドープト polySi 下層電極突起
28a : オーバーハンギング状の側壁
30 : サイドウォール形成材料

実施例の説明に供する工程図

1

【特許請求の範囲】

【請求項1】 基板に形成したメモリトランジスタ上に層間絶縁膜を介して設けた下層電極と、該下層電極上に順次に設けたキャパシタ絶縁膜及び上層電極とを備えて成るメモリキャパシタを形成するに当り、

層間絶縁膜上に下層導電性膜を形成する工程と、前記下層導電性膜上にダミーパターンを形成する工程と、前記ダミーパターンを介し下層導電性膜をエッチングして、前記基板に覆い被さるようなオーバーハング状の側壁を有する下層電極突起を形成する工程と、前記下層電極突起の側壁からダミーパターンの側壁にわたってサイドウォールを形成する工程と、ダミーパターンを除去した後、サイドウォール上にキャパシタ絶縁膜及び上層電極を形成する工程とを含んで成ることを特徴とするメモリキャパシタの形成方法。

【請求項2】 基板に形成したメモリトランジスタ上に層間絶縁膜を介して設けた下層電極と、該下層電極上に順次に設けたキャパシタ絶縁膜及び上層電極とを備えて成るメモリキャパシタを形成するに当り、

層間絶縁膜上にpolysi下層導電性膜を形成する工程と、前記polysi下層導電性膜上にダミーパターンを形成する工程と、前記ダミーパターン上にアモルファスSiサイドウォール形成材料を形成する工程と、

サイドウォール形成材料をダミーパターンを介しエッチングして前記polysi下層電極突起の側壁からダミーパターンの側壁にわたってサイドウォールを形成する工程と、アモルファスSiサイドウォール形成材料を結晶化した後、ダミーパターンを除去する工程とを含んで成ることを特徴とするメモリキャパシタの形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、メモリキャパシタの形成方法に関する。

【0002】

【従来の技術】DRAMにおいて、メモリキャパシタの容量を増大させるための構造として円筒型のスタックトキャパシタが提案されている。

【0003】円筒型のスタックトキャパシタを形成する場合、従来は、基板にメモリトランジスタとして形成したMOSトランジスタを層間絶縁膜で覆い、この層間絶縁膜上にpolysi第一層を積層する。そしてこの第一層上にSiO₂ダミーパターンを形成し、然る後、ダミーパターン上にpolysi第二層を積層する。次いで異方性エッチングにより、第二層をエッチングしてダミーパターン側壁にpolysiサイドウォールを形成し、さらにこれらダミーパターン及びサイドウォールを

2

介し第一層をエッチングしてpolysi下層電極を形成する。次いでダミーパターンを除去した後、サイドウォール上にキャパシタ絶縁膜及び上層電極を形成し、これら下層電極、キャパシタ絶縁膜及び上層電極から成るスタックトキャパシタを得る。

【0004】

【発明が解決しようとする課題】しかしながら上述した従来方法では、polysi下層電極を形成した後の工程において、例えば洗浄、熱処理或は基板搬送といった工程において、polysi下層電極の表面にSiO₂自然酸化膜を生じる。この自然酸化膜の発生を防止することは困難であり、また下層電極表面の全面にわたって完全に自然酸化膜を除去した状態で、サイドウォールを形成することも困難である。

【0005】従って下層電極とサイドウォールとの間に不可避的に自然酸化膜が介在するので、SiO₂ダミーパターンのエッチング除去時にSiO₂自然酸化膜がエッチングされて、サイドウォールが下層電極から剥離し易い。

【0006】しかも従来にあっては、ダミーパターン及びサイドウォールを介し、異方性エッチングにより、polysi第一層をエッチングして、polysi下層電極を形成するので、サイドウォールは、下層電極とは下層電極の上面において密着することとなる。従ってサイドウォールは、下層電極から剥離すると、下層電極に引っ掛けからずにそのまま脱落してしまう。

【0007】サイドウォールの脱落した箇所では、キャパシタメモリの容量を増大させることができず、従って歩留りの低下を招く。

【0008】この発明の目的は上述した従来の問題点を解決するため、自然酸化膜が存在してもサイドウォールの脱落が生じにくいメモリキャパシタの形成方法を提供することにある。

【0009】

【課題を解決するための手段及び作用】この目的を達成するため、請求項1記載の発明のメモリキャパシタの形成方法は、基板に形成したメモリトランジスタ上に層間絶縁膜を介して設けた下層電極と、下層電極上に順次に設けたキャパシタ絶縁膜及び上層電極とを備えて成るメモリキャパシタを形成するに当り、層間絶縁膜上に下層導電性膜を形成する工程と、下層導電性膜上にダミーパターンを形成する工程と、ダミーパターンを介し下層導電性膜をエッチングして、基板に覆い被さるようなオーバーハング状の側壁を有する下層電極突起を形成する工程と、下層電極突起の側壁からダミーパターンの側壁にわたってサイドウォールを形成する工程と、ダミーパターンを除去した後、サイドウォール上にキャパシタ絶縁膜及び上層電極を形成する工程とを含んで成ることを特徴とする。

【0010】このような形成方法によれば、下層電極突

起の側壁は基板に覆い被さるようにオーバーハング状に傾斜しており、このオーバーハング状の側壁にサイドウォールを形成する。従って何らかの要因によって、例えばサイドウォールと下層電極突起との間に介在する自然酸化膜がエッチング除去されるといった要因によって、サイドウォールが下層電極突起から剥離するようなことがあっても、サイドウォールはオーバーハング状の側壁に引っ掛かるので、サイドウォールが下層電極突起から抜け落ちるのを防止できる。

【0011】また請求項2記載のメモリキャパシタの形成方法は、基板に形成したメモリトランジスタ上に層間絶縁膜を介して設けた下層電極と、下層電極上に順次に設けたキャパシタ絶縁膜及び上層電極とを備えて成るメモリキャパシタを形成するに当り、層間絶縁膜上にpolysilicon下層導電性膜を形成する工程と、polysilicon下層導電性膜上にダミーパターンを形成する工程と、ダミーパターン上にアモルファスSiサイドウォール形成材料を形成する工程と、サイドウォール形成材料をダミーパターンを介しエッチングしてpolysilicon下層電極突起の側壁からダミーパターンの側壁にわたってサイドウォールを形成する工程と、アモルファスSiサイドウォール形成材料を結晶化した後、ダミーパターンを除去する工程とを含んで成ることを特徴とする。

【0012】アモルファスSiサイドウォール形成材料の結晶化を行なった後にサイドウォールを形成しても良いし、或は、サイドウォールを形成した後にアモルファスSiサイドウォール形成材料の結晶化を行なっても良い。

【0013】このような形成方法によれば、ダミーパターン上にアモルファスSiサイドウォール形成材料を積層する。次に、アモルファスSiサイドウォール形成材料を結晶化（再結晶化或は多結晶化）して、polysiliconサイドウォール形成材料を形成する。次に、polysiliconサイドウォール形成材料をダミーパターンを介しエッチングして、polysiliconサイドウォールを形成する。次に、ダミーパターンを除去する。

【0014】或は、ダミーパターン上にアモルファスSiサイドウォール形成材料を積層する。次に、アモルファスSiサイドウォール形成材料をダミーパターンを介しエッチングして、アモルファスSiサイドウォールを形成する。このサイドウォールは下層電極突起の側壁からダミーパターンの側壁にかけて残存させたアモルファスSiサイドウォール形成材料である。次に、アモルファスSiサイドウォールを結晶化（再結晶化或は多結晶化）して、polysiliconサイドウォールを形成する。次に、ダミーパターンを除去する。

【0015】このようにアモルファスSiのサイドウォール形成材料或はサイドウォールを結晶化して、polysiliconのサイドウォール形成材料或はサイドウォールを形成した場合、この結晶化は、下層電極突起の側壁表層

のpolysiliconを種結晶として進行し、従ってこの結晶化によってpolysilicon下層電極と一体になったpolysiliconのサイドウォール形成材料或はサイドウォールを得ることができる。

【0016】polysilicon下層電極突起の側壁表層がSiO₂自然酸化膜で覆われていたとしても、アモルファスSiのサイドウォール形成材料或はサイドウォールを結晶化する際に、SiO₂自然酸化膜が結晶化されpolysilicon膜になると考えられる。従ってその側壁表層のSiO₂自然酸化膜を必ずしも完全にエッチング除去せずとも、下層電極突起と一体になったpolysiliconのサイドウォール形成材料或はサイドウォールを得ることができる。

【0017】またSiO₂自然酸化膜の結晶化（再結晶化或は多結晶化）が生じなかつたとしても、下層電極突起の側壁表層の少なくとも一部を露出するように、SiO₂自然酸化膜を除去してあれば、露出する側壁表層においてpolysilicon下層電極突起と一体になったpolysiliconのサイドウォール形成材料或はサイドウォールを得ることができる。下層電極突起の側壁表層の自然酸化膜の全てを完全に除去した状態で、アモルファスSiサイドウォール形成材料を積層することは困難であるが、polysilicon下層電極突起の側壁表層の少なくとも一部を露出するように、SiO₂自然酸化膜を除去した状態で、アモルファスSiサイドウォール形成材料を積層することは容易である。

【0018】このように下層電極と一体になったサイドウォール形成材料或はサイドウォールを形成し、その後、ダミーパターンを除去することにより、サイドウォールの剥離や脱落を減少させることができる。

【0019】

【実施例】図1～図6は請求項1記載の発明の第一実施例の説明に供する工程図である。発明の理解を助けるため、以下の説明では、メモリトランジスタの形成工程の説明と共に、この実施例のメモリキャパシタの形成工程について説明する。

【0020】（基板にメモリトランジスタを形成する工程）この実施例では、メモリトランジスタ12としてMOSFETを形成するものであって、p-Si基板10の（100）主面10aに、選択酸化法（LOCOS法とも称す）によりSiO₂フィールド酸化膜14を形成する（図1（A））。SiO₂フィールド酸化膜14は、素子分離領域の主面10a表層を覆うと共に、素子形成予定領域の主面10a表層を露出する窓14aを有する。素子形成予定領域は、メモリトランジスタ12を形成する予定の領域である。

【0021】次いで素子形成予定領域の主面10aに、熱酸化法によりゲート絶縁膜形成用の絶縁膜16としてSiO₂膜を形成し、然る後、この絶縁膜16上に、CVD法によりゲート電極形成用の導電性膜18としてド

ープト poly Si 膜を積層する(図1(B))。このドープト poly Si 膜が含有する不純物は、当該導電性膜に電極としての導電性を付与するための不純物である。

【0022】次いでフォトリソ及びエッチング技術により、ゲート電極形成用のドープト poly Si 導電性膜 18 をエッチングして、素子形成予定領域にドープト poly Si ゲート電極 121 を形成する。ゲート電極 121 下側の主面 10a の表層部分が、メモリトランジスタ 12 のチャネル領域 122 として機能する。然る後、ドープト poly Si ゲート電極 121 をマスクとして異方性エッチングにより、ゲート絶縁膜形成用の SiO₂ 絶縁膜 16 をエッチングする。このエッチングにより、ドープト poly Si ゲート電極 121 側部に隣接するソース予定領域及びドレイン予定領域の主面 10a を露出させて、ドープト poly Si ゲート電極 121 直下に SiO₂ ゲート絶縁膜 123 を形成する(図2(A))。ゲート絶縁膜 123 は、ゲート電極 121 直下に残存させた SiO₂ 絶縁膜 16 から成る。

【0023】次いでゲート電極 121 を介しソース予定領域及びドレイン予定領域に不純物を導入して、ゲート電極 121 側部にソース領域 124 及びドレイン領域 125 を形成し、メモリトランジスタ 12 を得る(図2(B))。ここでは、ソース予定領域及びドレイン予定領域に不純物イオンを注入して、n⁺-Si ソース領域 124 及び n⁺-Si ドレイン領域 125 を形成する。

【0024】メモリトランジスタ 12 は、チャネル領域 122 と、チャネル領域 122 を挟みチャネル領域 122 に隣接させて設けたソース領域 124 及びドレイン領域 125 と、チャネル領域 122 上に順次に設けたゲート絶縁膜 123 及びゲート電極 121 を備えて成る。

【0025】(メモリトランジスタを層間絶縁膜で覆う工程) 次にこの実施例では、メモリトランジスタ 12 上に、CVD法により SiO₂ 層間絶縁膜 20 を積層して、メモリトランジスタ 12 を SiO₂ 層間絶縁膜 20 で覆う(図3(A))。

【0026】(層間絶縁膜上に下層導電性膜を形成する工程) 次にこの実施例では、SiO₂ 層間絶縁膜 20 上に、CVD法により SiN エッティングストップ 22 を積層する。然る後、フォトリソ及びエッチング技術を用いて、SiN エッティングストップ 22 及び SiO₂ 層間絶縁膜 20 にコンタクトホール 22a 及び 20a を形成する(図3(B))。コンタクトホール 22a 及び 20a を、メモリトランジスタ 12 のソース領域 124 に対応する領域に形成する。

【0027】SiN エッティングストップ 22 は、後工程においてダミーパターンをウエットエッチングして除去するときに、下層電極の下側の SiO₂ 層間絶縁膜 20 がエッティングされるのを防止するためのものである。

【0028】次いで SiN エッティングストップ 22 上

に、ドープト poly Si 下層導電性膜 24 を形成する(図4(A))。ドープト poly Si 下層導電性膜 24 は、コンタクトホール 22a 及び 20a を介し、ソース領域 124 と電気的に接続する。下層導電性膜 24 として形成するドープト poly Si 膜は、当該導電性膜 24 に電極としての導電性を付与するための不純物を含有する。

【0029】ここではシランガスを用いた低圧CVD法により膜厚 2000 Å 程度のアンドープ poly Si 膜を積層し、然る後、イオン打ち込みエネルギーを 60 K eV 及びイオン注入量を $1.0 \times 10^{16} \text{ ions/cm}^2$ として、アンドープ poly Si 膜に P イオンを注入して、ドープ poly Si 膜を形成する。

【0030】(下層導電性膜上にダミーパターンを形成する工程) 次にこの実施例では、ドープト poly Si 下層導電性材料 24 上に、CVD法により、ダミーパターン形成用のパターン材料として膜厚 5000 Å 程度の SiO₂ 膜を積層する。然る後、フォトリソ及びエッチング技術を用い、異方性エッチングにより、SiO₂ パターン材料をエッチングして、ダミーパターン 26 を形成する(図4(B))。異方性エッチングによりダミーパターン 26 を形成するので、ダミーパターン 26 の側壁は基板 10 の主面 10a に対しほば垂直に切り立った壁となる。

【0031】主面 10a の法線方向から見たときのダミーパターン 26 の形状は、円、四角形、多角形或はそのほかの任意好適な形状とすることができるが、ここでは円形状とする。

【0032】(ダミーパターンを介し下層導電性膜をエッチングして、基板に覆い被さるようなオーバーハング状の側壁を有する下層電極突起を形成する工程) 次にこの実施例では、ドライエッチングにより、SiO₂ ダミーパターン 26 を介し下層導電性膜 24 をエッチングして、基板 10 の主面 10a に覆い被さるようなオーバーハング状の側壁 28a を有するドープト poly Si 下層電極突起 28 を形成する(図5(A))。このようなオーバーハング状の側壁 28a の形成は、ドライエッチングのエッチング条件例えばエッティングガスの組成を調整することにより、達成できる。例えば、Cl₂ 及び SF₆ の混合ガスをエッティングガスとして用いることができる。

【0033】ここでは、ドープト poly Si 下層電極突起 28 は逆テーパ状(逆円錐台状)の柱状突起であり、従ってこの突起 28 の周囲に全周にわたってオーバーハング状の側壁 28a を形成している。オーバーハング状の側壁 28a と主面 10a の法線 H とが成す角度 α (図5(A))は、後述するサイドウォールが下層電極突起 28 から剥離したときにサイドウォールを側壁 28 に引っ掛けたサイドウォールの脱落を防止できる程度であればよい。

【0034】またメモリトランジスタ12及びメモリキャパシタの配設密度を高めるため、ドープト $p_{0.1y}Si$ 下層電極突起28を、主面10aの法線方向から見てソース領域124と重なり合う位置に形成する。下層電極突起28は、コンタクトホール22a及び20a内に残存する下層導電性膜24を介して、ソース領域124と電気的に接続する。

【0035】尚、後述するサイドウォールが下層電極突起28から剥離したときにサイドウォールを側壁28aに引っ掛けたサイドウォールの脱落を防止できるのであれば、下層電極突起28の側壁28aの一部をオーバーハング状の側壁28aとし残りの側壁28aを主面10aに対しほぼ垂直な壁としても良い。また場合によっては、下層電極突起28を、主面10aの法線方向から見てソース領域124と重なり合わない位置に形成しても構わない。

【0036】次いで通常行なわれる如く洗浄処理を行なう。この洗浄処理により、下層電極突起28の自然酸化膜(図示せず)が除去される。後述するサイドウォールと下層電極突起28との間に自然酸化膜が介在し、この自然酸化膜がエッチングされてサイドウォールが下層電極突起28から剥離することがあったとしても、サイドウォールはオーバーハング状の側壁28aに引っ掛かるのでサイドウォールが下層電極突起28から脱落するのを防止できる。従って下層電極突起28の自然酸化膜を下層電極突起28全面にわたって完全に除去できなくても良い。

【0037】(下層電極突起の側壁からダミーパターンの側壁にわたってサイドウォールを形成する工程)次にこの実施例では、サイドウォール形成材料30として膜厚1000Å程度のアンドープ $p_{0.1y}Si$ 膜を、低圧CVD法により、ダミーパターン26上に積層する(図5(B))。

【0038】次いで熱処理を行なって、ドープト $p_{0.1y}Si$ 下層電極突起28が含有する不純物を拡散及び活性化させる。ここでは、 $p-Si$ 基板10を、窒素雰囲気中に保持して850°Cで15分間加熱することにより、不純物を拡散及び活性化させる。

【0039】次いで異方性エッチングにより、下層電極突起28の側壁28a及びダミーパターン26の側壁26aのサイドウォール形成材料30は残存させるようにして、サイドウォール形成材料30をエッチング除去し、これにより下層電極突起28の側壁28aからダミーパターン26の側壁26aにわたってサイドウォール32を形成する(図6(A))。サイドウォール32は、側壁28a及び26aに残存させたサイドウォール形成材料30から成る。

【0040】尚、下層電極突起28の不純物を拡散及び活性化させるための熱処理によって、下層電極突起28の側壁近傍部分のサイドウォール形成材料30にも不純

物が拡散されるので、導電性を有するサイドウォール32を形成でき、サイドウォール32を下層電極として機能させることができる。サイドウォール32への不純物拡散量が下層電極として機能させるには不十分な場合は、サイドウォール32に別途不純物を添加すれば良い。

【0041】(ダミーパターンを除去した後、サイドウォール上にキャパシタ絶縁膜及び上層電極を形成する工程)次にこの実施例では、下層電極突起28及びサイドウォール32は実質的にエッチングしないように、選択的に、ダミーパターン26をエッチング除去する(図6(B))。

【0042】ここでは、下層電極突起28はドープト $p_{0.1y}Si$ 、サイドウォール32はドープト若しくはアンドープ $p_{0.1y}Si$ 、及び、ダミーパターン28は SiO_2 から成るので、任意好適な組成のエッチャント例えば希フッ酸を用いてウェットエッチングを行なうことにより、ダミーパターン28を選択的にエッチング除去できる。

【0043】次いでサイドウォール32上に順次に、キャパシタ絶縁膜形成用の絶縁膜34及び上層電極形成用の導電性膜36を形成する(図7(A))。

【0044】ここでは、基板面全面にわたる領域上に、低圧CVD法により膜厚100Å程度の SiN 絶縁膜34を積層する。次いで、この SiN 絶縁膜34上に、低圧CVD法により膜厚2000Å程度のアンドープ $p_{0.1y}Si$ 膜を積層する。然る後、このアンドープ $p_{0.1y}Si$ 膜に、気相拡散法により不純物を拡散させて、ドープト $p_{0.1y}Si$ 膜から成る導電性膜36を得る。ドープト $p_{0.1y}Si$ 導電性膜36は、当該膜36に電極としての導電性を付与するための不純物を含有する。例えば、 $POCl_3$ の蒸気中に $p-Si$ 基板10を保持して、気相拡散により、Pをアンドープ $p_{0.1y}Si$ 膜中に拡散させて、ドープト $p_{0.1y}Si$ 導電性膜36を形成すれば良い。

【0045】次いでホトリソ及びエッチング技術を用いて、ドープト $p_{0.1y}Si$ 導電性膜36及び SiN 絶縁膜34を順次にエッチングして、ドープト $p_{0.1y}Si$ 上層電極38及び SiN キャパシタ絶縁膜40を形成し、メモリキャパシタ42を得る(図7(B))。

【0046】メモリキャパシタ42は、基板10に形成したメモリトランジスタ12上に層間絶縁膜20を介して設けた下層電極突起28と、この下層電極突起28上に順次に設けたキャパシタ絶縁膜40及び上層電極38とを備えて成る。

【0047】この実施例によれば、下層電極突起28は逆円錐台状の柱状突起であり、従って下層電極突起28はその側壁まわり全周にわたってオーバーハング状の側壁28aを有する。これがため、ダミーパターン26のエッチング除去の際に、サイドウォール32と下層電極

突起28の側壁28aとの間に介在する自然酸化膜がエッティングされて、サイドウォール32が側壁28aから剥離することがあったとしても、サイドウォール32はオーバーハング状の側壁28aに引っ掛けるのでサイドウォール32が側壁28aから抜け落ちるのを防止できる。これがためメモリキャパシタ42を歩留り良く形成できる。

【0048】図8～図10は請求項1記載の発明の第二実施例の説明に供する工程図である。以下に述べる第二実施例の説明では、主として上述した請求項1記載の発明の第一実施例と相違する点につき説明し、上述した請求項1記載の発明の第一実施例と同様の点についてはその詳細な説明を省略する。

【0049】層間絶縁膜20上に下層導電性膜24を形成する工程までは、上述した請求項1記載の発明の第一実施例と同様である。

【0050】(下層導電性膜上にダミーパターンを形成する工程)この実施例では、下層導電性材料24側から順次に配置した第一層261及び第二層262から成る2層構造のダミーパターン26を形成する(図8(A))。

【0051】ここではCVD法により、ドープトpolysilicon下層導電性膜24上に順次に、膜厚5000Å程度のNSG(Nondoped Silicate Glass)第一層形成材料及び膜厚500Å程度のSiN第二層形成材料を積層し、然る後、フォトリソ及びエッティング技術を用い、異方性エッティングによりSiN第二層形成材料及びNSG第一層形成材料をエッティングして、SiN第二層262及びNSG第一層261から成る2層構造のダミーパターン26を得る。

【0052】異方性エッティングにより、SiN第二層262及びNSG第一層261を形成するので、これら各層262及び261の側壁は基板10の正面10aに対しほぼ垂直に切り立った壁となる。

【0053】(ダミーパターンを介し下層導電性膜をエッティングして、基板に覆い被さるようなオーバーハング状の側壁を有する下層電極突起を形成する工程)次にこの実施例では、2層構造のダミーパターン26を介して、ドライエッティングによりドープトpolysilicon下層導電性膜24をエッティングして、p-Si基板10の正面10aに覆い被さるようなオーバーハング状の側壁28aを有するドープトpolysilicon下層電極突起28を形成する(図8(B))。

【0054】次にこの実施例では、ダミーパターン26のSiN第二層262をマスクに用いて、NSG第一層261をアンダーカットして、ダミーパターン26の側壁26aに凹部26bを形成する(図9(A))。ここでは、ふつ酸をエッチャントに用いたウエットエッティングにより、NSG第一層261をアンダーカットする。

【0055】(下層電極突起の側壁からダミーパターン

の側壁にわたってサイドウォールを形成する工程)次にこの実施例では、アンドープpolysiliconサイドウォール形成材料30を、2層構造のダミーパターン26上に積層する(図9(B))。

【0056】次いで熱処理を行なって、ドープトpolysilicon下層電極突起28が含有する不純物を拡散及び活性化させる。

【0057】次いで異方性エッティングにより、ドープトpolysilicon下層電極突起28の側壁28a及びダミーパターン26の側壁26aのサイドウォール形成材料30は残存させるようにして、サイドウォール形成材料30をエッティング除去し、これにより下層電極突起28の側壁28aからダミーパターン26の側壁26aにわたってサイドウォール32を形成する(図10(A))。

【0058】上述したようにダミーパターン26の側壁26aには凹部26bを形成してあるので、この凹部26bに対応する箇所で湾曲したサイドウォール32を形成できる。

【0059】(ダミーパターンを除去した後、サイドウォール上にキャパシタ絶縁膜及び上層電極を形成する工程)次にこの実施例では、下層電極突起28及びサイドウォール32は実質的にエッティングしないように、選択的に、ダミーパターン26をエッティング除去する(図10(B))。

【0060】ここでは、ダミーパターン26のSiN第一層261を、りん酸をエッチャントに用いたウエットエッティングによりエッティング除去し、然る後、ダミーパターン26のNSG第二層262を、ふつ酸をエッチャントに用いたウエットエッティングによりエッティング除去する。

【0061】次いで図示せずも、SiO₂サイドウォール32上に順次に、キャパシタ絶縁膜形成用のSiN絶縁膜及び上層電極形成用のドープトpolysilicon導電性膜を形成し、然る後、これらドープトpolysilicon導電性膜及びSiN絶縁膜を順次にエッティングして、ドープトpolysilicon上層電極及びSiNキャパシタ絶縁膜を形成する。

【0062】この実施例によれば、下層電極突起28は逆円錐台状の柱状突起であり、従って下層電極突起28はその側壁まわり全周にわたってオーバーハング状の側壁28aを有する。これがため、ダミーパターン26のエッティング除去の際に、サイドウォール32と下層電極突起28の側壁28aとの間に介在する自然酸化膜がエッティングされて、サイドウォール32が側壁28aから剥離することがあったとしても、サイドウォール32はオーバーハング状の側壁28aに引っ掛けるのでサイドウォール32が側壁28aから抜け落ちるのを防止できる。これがためメモリキャパシタ42を歩留り良く形成できる。

【0063】さらにこの実施例によれば、ダミーパター

11

ン26の側壁26aに凹部26bを形成し、この凹部26bに対応する箇所で湾曲したサイドウォール32を形成する。従ってこの湾曲したサイドウォール32上にキャパシタ絶縁膜及び上層電極を形成することにより、キャパシタ面積が増大し、これがためより一層キャパシタ容量を増大させることができる。

【0064】図11～図13は請求項1記載の発明の第三実施例の説明に供する工程図である。以下に述べる第三実施例の説明では、主として上述した請求項1記載の発明の第一実施例と相違する点につき説明し、上述した請求項1記載の発明の第一実施例と同様の点についてはその詳細な説明を省略する。

【0065】層間絶縁膜20上に下層導電性膜24を形成する工程までは、上述した請求項1記載の発明の第一実施例と同様である。

【0066】(下層導電性膜上にダミーパターンを形成する工程)この実施例では、下層導電性膜24上に、エッティングレートの異なる第一層形成材料及び第二層形成材料を交互に積層し、これら形成材料をエッティングして、第一層441及び第二層442を順次に形成し、これら第一層441及び第二層442から成る多層構造のダミーパターン44を形成する。第一層形成材料及び第二層形成材料のエッティングレートの差を利用することにより、側壁44aに凹部44bを有するダミーパターン44を形成する。

【0067】ここでは、ドープト $p_{0.1}ySi$ 下層導電性膜24上に順次に、NSG第一層形成材料、PSG(Phospho-Silicate Glass)第二層形成材料及びNSG第一層形成材料を積層する。然る後、フォトリソ及びエッティング技術によりこれら形成材料をエッティングして、NSG第一層441、PSG第二層442及びNSG第一層441を順次に形成し、これらNSG第一層441及びPSG第二層442から成る3層構造のダミーパターン44を形成する(11(A))。このエッティングは自然酸化膜の除去も兼ねる。

【0068】エッチャントとして例えばフッ酸を用いたウエットエッティングでは、PSG第二層形成材料のエッティングレートはNSG第一層形成材料のエッティングレートよりも速くなるので、側壁44aに凹部44bを有するダミーパターン44を形成できる。

【0069】ダミーパターン44の形状従って第一層441及び第二層442の形状を、主面10aの法線方向から見て円形状とする。

【0070】尚、ダミーパターン44の第一層441及び第二層442の積層個数はそれぞれ、少なくとも1個とすることができます。

【0071】(ダミーパターンを介し下層導電性膜をエッティングして、基板に覆い被さるようなオーバーハング状の側壁を有する下層電極突起を形成する工程)次にこ

10

12

の実施例では、ダミーパターン44を介して、ドライエッティングによりドープト $p_{0.1}ySi$ 下層導電性膜24をエッティングして、 $p-Si$ 基板10の主面10aに覆い被さるようなオーバーハング状の側壁28aを有するドープト $p_{0.1}ySi$ 下層電極突起28を形成する(図11(B))。

【0072】(下層電極突起の側壁からダミーパターンの側壁にわたってサイドウォールを形成する工程)次にこの実施例では、アンドープ $p_{0.1}ySi$ サイドウォール形成材料48を、ダミーパターン44上に積層する(図12(A))。

【0073】次いで熱処理を行なって、ドープト $p_{0.1}ySi$ 下層電極突起28が含有する不純物を拡散及び活性化させる。

20

【0074】次いで異方性エッティングにより、ドープト $p_{0.1}ySi$ 下層電極突起28の側壁28a及びダミーパターン44の側壁44aのサイドウォール形成材料48は残存させるようにして、サイドウォール形成材料48をエッティング除去し、これにより下層電極突起28の側壁28aからダミーパターン44の側壁44aにわたってサイドウォール50を形成する(図13)。

【0075】上述したようにダミーパターン44の側壁44aには凹部44bを形成してあるので、この凹部44bに対応する箇所に凸部を有するサイドウォール50を形成できる。

30

【0076】(ダミーパターンを除去した後、サイドウォール上にキャパシタ絶縁膜及び上層電極を形成する工程)次にこの実施例では、下層電極突起28及びサイドウォール50は実質的にエッティングしないように、選択的に、ダミーパターン44をエッティング除去する(図13(B))。

【0077】ここでは、ダミーパターン44のNSG第一層441及びPSG第二層442を、ふつ酸をエッチャントに用いたウエットエッティングによりエッティング除去する。

40

【0078】次いで図示せずも、サイドウォール50上に順次に、キャパシタ絶縁膜形成用のSiN絶縁膜及び上層電極形成用のドープト $p_{0.1}ySi$ 導電性膜を形成し、然る後、これらドープト $p_{0.1}ySi$ 導電性膜及びSiN絶縁膜を順次にエッティングして、ドープト $p_{0.1}ySi$ 上層電極及びSiNキャパシタ絶縁膜を形成する。

【0079】この実施例によれば、下層電極突起28は逆円錐台状の柱状突起であり、従って下層電極突起28はその側壁まわり全周にわたってオーバーハング状の側壁28aを有する。これがため、ダミーパターン44のエッティング除去の際に、サイドウォール50と下層電極突起28の側壁28aとの間に介在する自然酸化膜がエッティングされて、サイドウォール50が側壁28aから剥離することがあったとしても、サイドウォール50は

13

オーバーハング状の側壁28aに引っ掛かるのでサイドウォール50が側壁28aから抜け落ちるのを防止できる。これがためメモリキャパシタを歩留り良く形成できる。

【0080】さらにこの実施例によれば、ダミーパターン44の側壁44aに凹部44bを形成し、この凹部44bに対応する箇所に凸部を有するサイドウォール50を形成する。従ってこの凸部を有するサイドウォール50上にキャパシタ絶縁膜及び上層電極を形成することにより、キャパシタ面積が増大し、これがためより一層キャパシタ容量を増大させることができる。

【0081】図14～図18は請求項2記載の発明の実施例の説明に供する工程図である。基板にメモリトランジスタを形成する工程は請求項1記載の発明の第一実施例と同様であるので、その説明を省略する。

【0082】(メモリトランジスタを層間絶縁膜で覆う工程)この実施例では、メモリトランジスタ12上に、CVD法によりSiO₂層間絶縁膜20を積層して、メモリトランジスタ12をSiO₂層間絶縁膜20で覆う(図14(A))。

【0083】(層間絶縁膜上にpolySi下層導電性膜を形成する工程)次にこの実施例では、SiO₂層間絶縁膜20上に、CVD法によりSiNエッチングストップ22を積層する。然る後、フォトリソ及びエッチング技術を用いて、SiNエッティングストップ22及びSiO₂層間絶縁膜20にコンタクトホール22a及び20aを形成する(図14(B))。コンタクトホール22a及び20aを、メモリトランジスタ12のソース領域124に対応する領域に形成する。

【0084】SiNエッティングストップ22は、後工程においてドープトpolySi下層導電性膜24をドライエッチングして下層電極突起を形成するときに、SiO₂層間絶縁膜20がドライエッチングされるのを防止するためのものである。

【0085】次いでSiNエッティングストップ22上に、ドープトpolySi下層導電性膜24を形成する(図15(A))。ドープトpolySi下層導電性膜24は、コンタクトホール22a及び20aを介し、ソース領域124と電気的に接続する。下層導電性膜24として形成するドープトpolySi膜は、当該導電性膜24に電極としての導電性を付与するための不純物を含有する。

【0086】ここではシランガスを用いた低圧CVD法により膜厚2000Å程度のアンドープpolySi膜を積層し、然る後、イオン打ち込みエネルギーを60KeV及びイオン注入量を 1.0×10^{16} ions/cm²として、アンドープpolySi膜にPイオンを注入して、ドープトpolySi膜を形成する。

【0087】(polySi下層導電性膜上にダミーパターンを形成する工程)次にこの実施例では、ドープト

10

20

30

40

14

polySi下層導電性材料24上に、CVD法により、ダミーパターン形成用のパターン材料として膜厚5000Å程度のSiO₂膜を積層する。然る後、フォトリソ及びエッチング技術を用い、異方性エッチングにより、SiO₂パターン材料をエッチングして、ダミーパターン26を形成する(図15(B))。異方性エッチングによりダミーパターン26を形成するので、ダミーパターン26の側壁は基板10の主面10aに対しほば垂直に切り立った壁となる。

【0088】主面10aの法線方向から見たときのダミーパターン26の形状は、円、四角形、多角形或はそのほかの任意好適な形状とすることができますが、ここでは円形状とする。

【0089】(ダミーパターンを介しpolySi下層導電性膜をエッチングして、polySi下層電極突起を形成する工程)次にこの実施例では、異方性エッチングにより、SiO₂ダミーパターン26を介しドープトpolySi下層導電性膜24をエッチングして、ドープトpolySi下層電極突起28を形成する(図16(A))。

【0090】異方性エッチングにより、ドープトpolySi下層電極突起28を形成するので、下層電極突起28の側壁28aは基板10の主面10aに対しほば垂直に切り立った形状となる。

【0091】メモリトランジスタ12及びメモリキャパシタの配設密度を高めるため、ドープトpolySi下層電極突起28を、主面10aの法線方向から見てソース領域124と重なり合う位置に形成する。下層電極突起28は、コンタクトホール22a及び20a内に残存する下層導電性膜24を介して、ソース領域124と電気的に接続する。

【0092】尚、場合によっては、下層電極突起28を、主面10aの法線方向から見てソース領域124と重なり合わない位置に形成しても構わない。

【0093】次いで通常行なわれる如く洗浄処理を行なう。この洗浄処理により、下層電極突起28の自然酸化膜(図示せず)が除去される。尚、下層電極突起28の側壁28aの自然酸化膜を、側壁28a全面にわたって完全に除去できなくても良い。

【0094】(ダミーパターン上にアモルファスSiサイドウォール形成材料を形成する工程)次にこの実施例では、ダミーパターン26上に、低圧CVD法により、膜厚1000Å程度のノンドープアモルファスSiサイドウォール形成材料46を積層する(図16(B))。成膜温度は560°C程度とする。

【0095】(アモルファスSiサイドウォール形成材料を結晶化する工程)次にこの実施例では、熱処理を行なってアモルファスSiサイドウォール形成材料46を結晶化(多結晶化或は再結晶化)して、polySiサイドウォール形成材料48を形成する(図17)

15

(A))。

【0096】ここでは p_{olySi} サイドウォール形成材料48を形成するための熱処理はドープト p_{olySi} 下層電極突起28が含有する不純物を拡散及び活性化させるための熱処理を兼ねる。例えば $p-Si$ 基板10を、窒素雰囲気中に保持して850°Cで15分間加熱することにより熱処理を行なって、 p_{olySi} サイドウォール形成材料48の形成と不純物の拡散及び活性化を行なう。

【0097】アモルファス Si サイドウォール形成材料46を結晶化することにより、ドープト p_{olySi} 下層電極突起28と一体化した p_{olySi} サイドウォール形成材料48を形成でき、従って下層電極突起28とサイドウォール形成材料48との密着性を向上できる。

【0098】尚、熱処理によって、下層電極突起28に対応する部分のサイドウォール形成材料48にも不純物が拡散されるので、後述するサイドウォール50として導電性を有するサイドウォールを形成できる。サイドウォール形成材料48を形成するための熱処理と、下層電極突起28が含有する不純物を拡散及び活性化させるための熱処理とはそれぞれ別工程で行なうようにしても良い。

【0099】(サイドウォール形成材料をダミーパターンを介しエッティングして p_{olySi} 下層電極突起の側壁からダミーパターンの側壁にわたってサイドウォールを形成する工程)次にこの実施例では、異方性エッティングにより、下層電極突起28の側壁28a及びダミーパターン26の側壁26aのサイドウォール形成材料48は残存させるようにして、サイドウォール形成材料48をエッティング除去し、これにより下層電極突起28の側壁28aからダミーパターン26の側壁26aにわたってサイドウォール50を形成する(図17(B))。サイドウォール50は、側壁28a及び26aに残存させたサイドウォール形成材料48から成る。

【0100】(ダミーパターンを除去する工程)次にこの実施例では、下層電極突起28及びサイドウォール50は実質的にエッティングしないように、選択的に、ダミーパターン26をエッティング除去する(図18(A))。

【0101】ここでは、下層電極突起28はドープト p_{olySi} 、サイドウォール50はドープト若しくはアンドープ p_{olySi} 、及び、ダミーパターン28は SiO_2 から成るので、任意好適な組成のエッチャント例えばフッ酸を用いてウエットエッティングを行なうことにより、ダミーパターン28を選択的にエッティング除去できる。

【0102】(ダミーパターンの除去後、サイドウォール上にキャバシタ絶縁膜及び上層電極を形成する工程)次にこの実施例では、サイドウォール50上に順次に、キャバシタ絶縁膜形成用の絶縁膜34及び上層電極形成

50

16

用の導電性膜36を形成する(図19(A))。

【0103】ここでは、サイドウォール50上に、低圧CVD法により膜厚100Å程度の SiN 絶縁膜34を積層する。次いで、この SiN 絶縁膜34上に、低圧CVD法により膜厚2000Å程度のアンドープ p_{olySi} 膜を積層する。然る後、このアンドープ p_{olySi} 膜に、気相拡散法により不純物を拡散させて、ドープト p_{olySi} 膜から成る導電性膜36を得る。ドープト p_{olySi} 導電性膜36は、当該膜36に電極としての導電性を付与するための不純物を含有する。例えば、POCl₃の蒸気中に $p-Si$ 基板10を保持して、気相拡散により、Pをアンドープ p_{olySi} 膜中に拡散させて、ドープト p_{olySi} 導電性膜36を形成すれば良い。

【0104】次いでホトリソ及びエッティング技術を用いて、ドープト p_{olySi} 導電性膜36及び SiN 絶縁膜34を順次にエッティングして、ドープト p_{olySi} 上層電極38及び SiN キャバシタ絶縁膜40を形成し、メモリキャバシタ52を得る(図19)。

【0105】メモリキャバシタ52は、基板10に形成したメモリトランジスタ12上に層間絶縁膜20を介して設けた下層電極突起28と、この下層電極突起28上に順次に設けたキャバシタ絶縁膜40及び上層電極38とを備えて成る。

【0106】この実施例によれば、ダミーパターン26上にアモルファス Si サイドウォール形成材料46を積層した後、アモルファス Si サイドウォール形成材料46を結晶化して p_{olySi} サイドウォール形成材料48を形成するので、 p_{olySi} サイドウォール形成材料48と下層電極突起28との密着強度を高めることができる。従ってこの p_{olySi} サイドウォール形成材料48を異方性エッティングによりエッティングしてサイドウォール50を形成することにより、下層電極突起28との密着強度の高いサイドウォール50を得ることができる。これがためサイドウォール50は、下層電極突起28から剥離しにくくなるので、メモリキャバシタ52を歩留り良く形成できる。

【0107】尚、この実施例では主面10aに対し垂直に切り立った形状の側壁28aを有する下層電極突起28を形成するようとしたが、これに代えて請求項1記載の発明の第一実施例と同様に、基板10の主面10aに覆い被さるようなオーバーハング状の側壁28aを有する下層電極突起28を形成するようにしても良い。オーバーハング状とすることにより、より一層の歩留り向上を望める。このようなオーバーハング状の側壁28aの形成は、ドライエッティングのエッティング条件例えばエッティングガスの組成を調整することにより、達成できる。

【0108】この場合にも、ドープト p_{olySi} 下層電極突起28は逆テバ状(逆円錐台状)の柱状突起とし、この突起28の周囲に全周にわたってオーバーハン

17

グ状の側壁28aを形成するのが好ましい。オーバーハンプ状の側壁28aと主面10aの法線Hとが成す角度 α (図5(A)参照)は、サイドウォール50が下層電極突起28から剥離したときにサイドウォールを側壁28に引っ掛けでサイドウォールの脱落を防止できる程度であれば良い。

【0109】またサイドウォール50が下層電極突起28から剥離したときにサイドウォールを側壁28aに引っ掛けでサイドウォールの脱落を防止できるのであれば、下層電極突起28の側壁28aの一部をオーバーハンプ状の側壁28aとし残りの側壁28aを主面10aに対しほば垂直な壁としても良い。

【0110】発明は上述した実施例にのみ限定されるものではなく、従って各構成成分の形成材料、形成方法、積層個数、寸法、形状或はそのほかの条件を、発明の趣旨の範囲内で任意好適に変更できる。

【0111】

【発明の効果】上述した説明からも明らかなように、請求項1記載の発明のメモリキャパシタの形成方法によれば、下層電極突起の側壁は基板に覆い被さるようにオーバーハンプ状に傾斜しており、このオーバーハンプ状の側壁にサイドウォールを形成する。従ってサイドウォールが下層電極突起から剥離するようなことがあっても、サイドウォールはオーバーハンプ状の側壁に引っ掛かるので、サイドウォールが下層電極突起から抜け落ちるのを防止できる。これがためメモリキャパシタの歩留りを向上できる。

【0112】また請求項2記載のメモリキャパシタの形成方法によれば、アモルファスSiサイドウォール形成材料を結晶化した後に、ダミーパターンを除去する。従ってダミーパターン除去の際には、polySi下層電極突起の側壁と一体になったpolySiサイドウォールが形成されている。従って下層電極突起とサイドウォールとの密着性を向上させた状態で、サイドウォールを除去できるので、サイドウォールは下層電極突起から剥離しにくくなる。これがためメモリキャパシタの歩留りを向上できる。

【図面の簡単な説明】

【図1】(A)及び(B)は請求項1記載の発明の第一実施例の説明に供する工程図である。

【図2】(A)及び(B)は請求項1記載の発明の第一実施例の説明に供する工程図である。

【図3】(A)及び(B)は請求項1記載の発明の第一実施例の説明に供する工程図である。

18

【図4】(A)及び(B)は請求項1記載の発明の第一実施例の説明に供する工程図である。

【図5】(A)及び(B)は請求項1記載の発明の第一実施例の説明に供する工程図である。

【図6】(A)及び(B)は請求項1記載の発明の第一実施例の説明に供する工程図である。

【図7】(A)及び(B)は請求項1記載の発明の第一実施例の説明に供する工程図である。

【図8】(A)及び(B)は請求項1記載の発明の第二実施例の説明に供する工程図である。

【図9】(A)及び(B)は請求項1記載の発明の第二実施例の説明に供する工程図である。

【図10】(A)及び(B)は請求項1記載の発明の第二実施例の説明に供する工程図である。

【図11】(A)及び(B)は請求項1記載の発明の第三実施例の説明に供する工程図である。

【図12】(A)及び(B)は請求項1記載の発明の第三実施例の説明に供する工程図である。

【図13】請求項1記載の発明の第三実施例の説明に供する工程図である。

【図14】(A)及び(B)は請求項2記載の発明の実施例の説明に供する工程図である。

【図15】(A)及び(B)は請求項2記載の発明の実施例の説明に供する工程図である。

【図16】(A)及び(B)は請求項2記載の発明の実施例の説明に供する工程図である。

【図17】(A)及び(B)は請求項2記載の発明の実施例の説明に供する工程図である。

【図18】(A)及び(B)は請求項2記載の発明の実施例の説明に供する工程図である。

【図19】請求項2記載の発明の実施例の説明に供する工程図である。

【符号の説明】

12: メモリランジスタ

20: 層間絶縁膜

26、44: ダミーパターン

28: 下層電極突起

28a: オーバーハンプ状の側壁

32、50: サイドウォール

38: 上層電極

40: キャパシタ絶縁膜

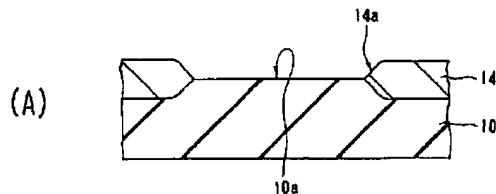
42、52: メモリキャパシタ

46: アモルファスSiサイドウォール形成材料

48: polySiサイドウォール形成材料

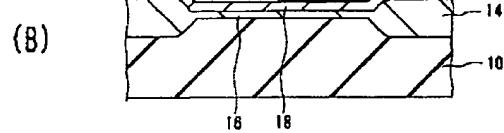
40

【図1】



10: $p\text{-Si}$ 基板
14: SiO_2 フィールド酸化膜

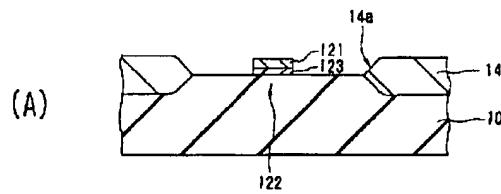
10a: 主面
14a: 突



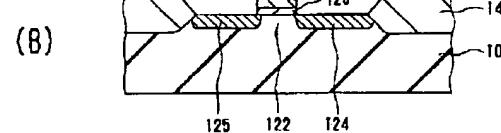
16: ゲート絶縁膜形成用の SiO_2 絶縁膜
18: ゲート電極形成用のドープト poly-Si 電極膜

実施例の説明に供する工程図

【図2】



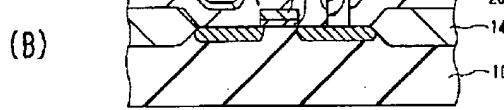
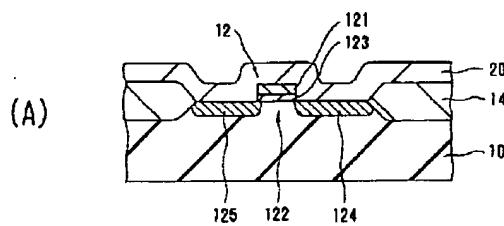
121: ドープト poly-Si ゲート電極
122: チャネル領域
123: SiO_2 ケート絶縁膜



12: メモリトランジスタ
124: n^+ - Si ソース領域
125: n^+ - Si ドレイン領域

実施例の説明に供する工程図

【図3】

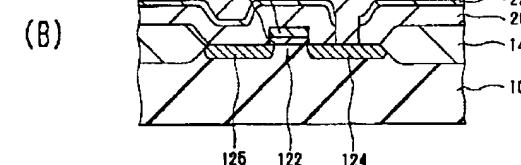
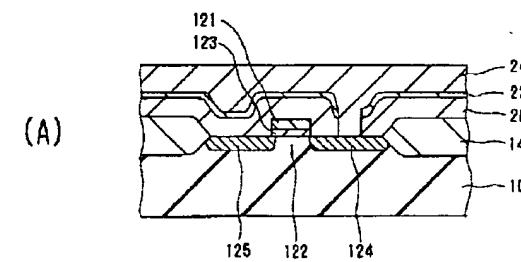


20: SiO_2 層間絶縁膜
22a, 22a: コンタクトホール

22: SiN エッチングストップ

実施例の説明に供する工程図

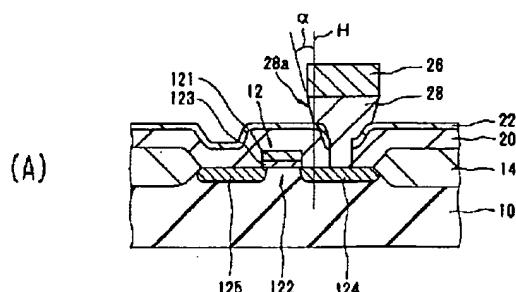
【図4】



26: SiO_2 ダミーパターン

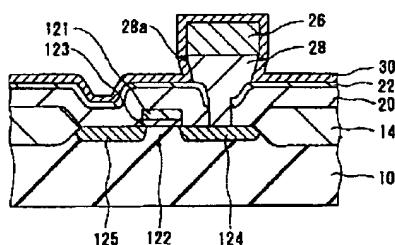
実施例の説明に供する工程図

【図5】



(A)

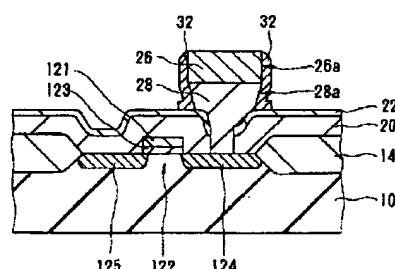
(B)



28 : ドープト poly Si 下層電極突起
28a : オーバーハンプ状の側壁
30 : サイドウォール形成材料

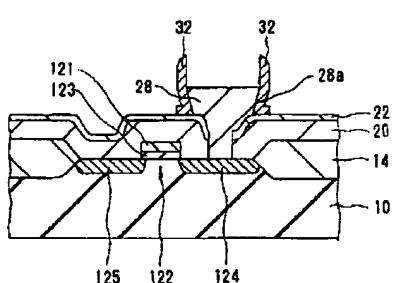
実施例の説明に供する工程図

【図6】



(A)

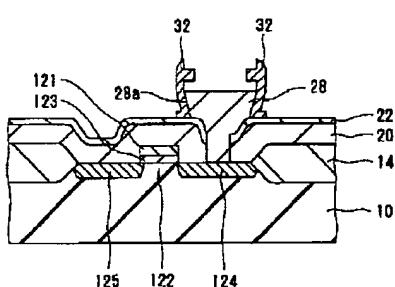
(B)



32 : サイドウォール

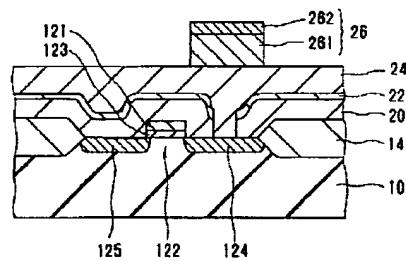
実施例の説明に供する工程図

【図13】



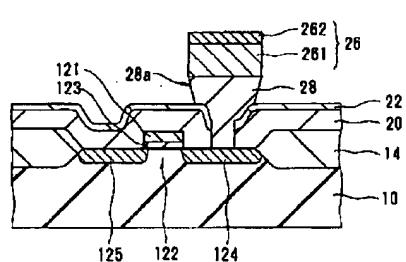
実施例の説明に供する工程図

【図8】



(A)

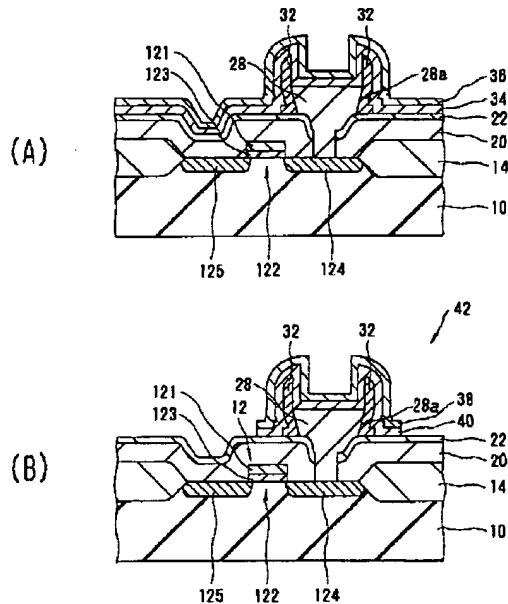
(B)



261 : NSG第一層 262 : SiN第二層

実施例の説明に供する工程図

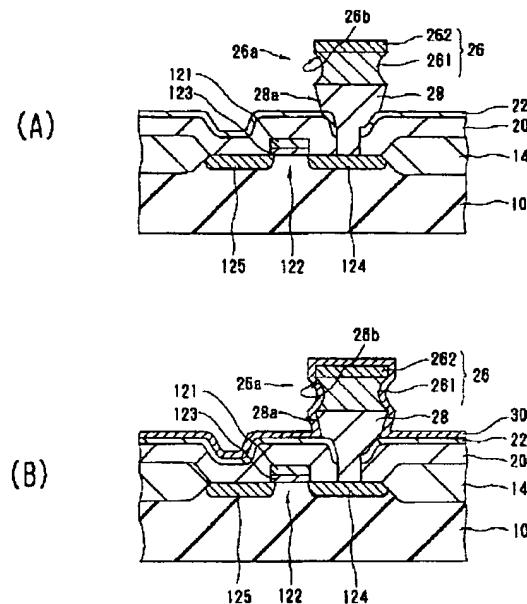
【図7】



34: キャパシタ絶縁膜形成用のSiN絶縁膜
 36: 上層電極形成用のドープト poly Si導電性膜
 38: ドープト poly Si上層電極
 40: SiNキャパシタ絶縁膜 42: メモリキャパシタ

実施例の説明に供する工程図

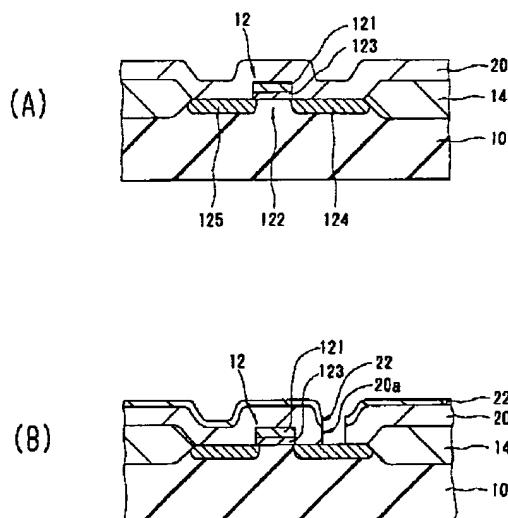
【図9】



26b: 凹部

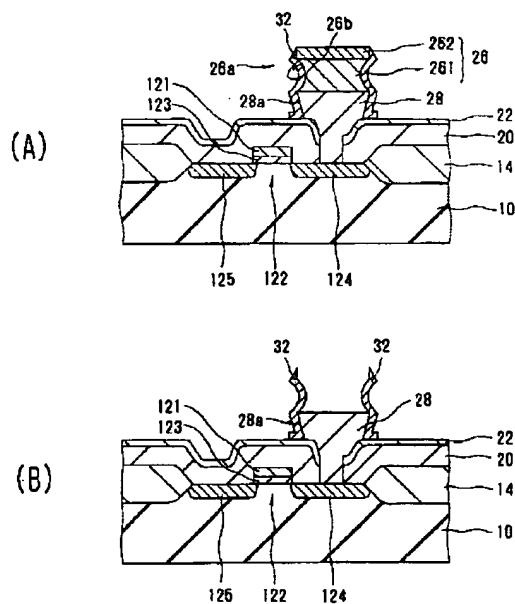
実施例の説明に供する工程図

【図14】



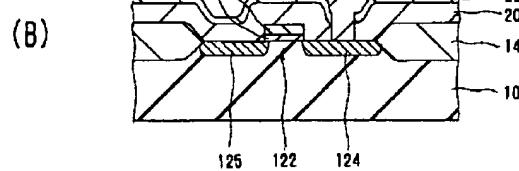
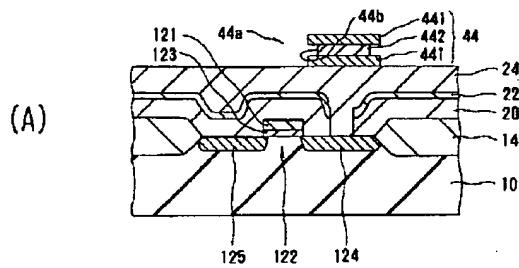
実施例の説明に供する工程図

【図10】



実施例の説明に供する工程図

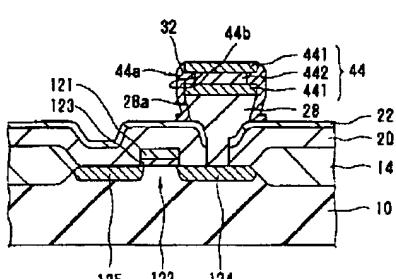
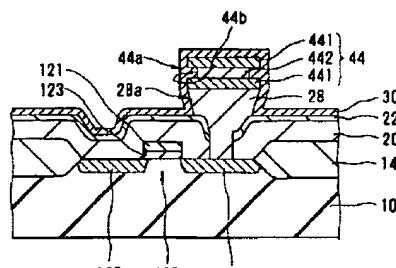
【図11】



44: ダミーパターン
44a: 創壁
44b: 凹部
441: NSG第一層
442: PSG第二層

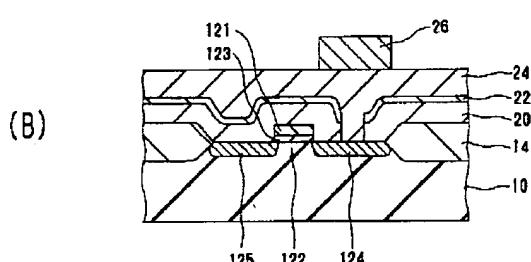
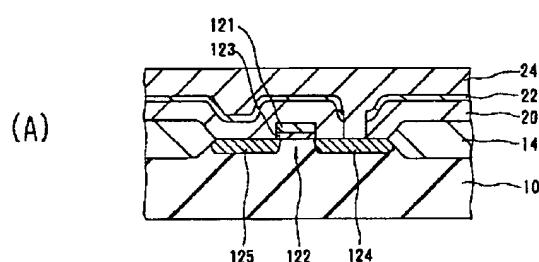
実施例の説明に供する工程図

【図12】



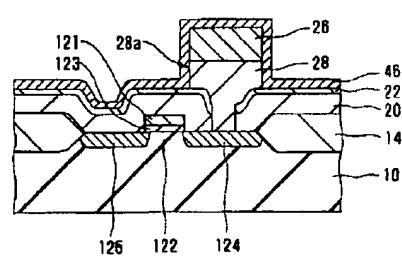
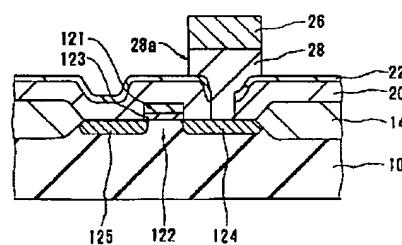
実施例の説明に供する工程図

【図15】



実施例の説明に供する工程図

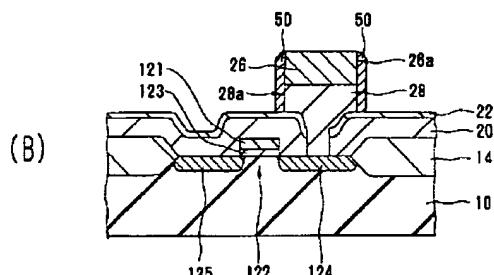
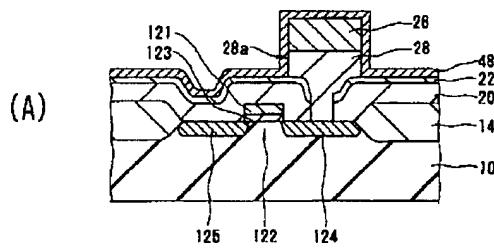
【図16】



46: アモルフスSiサイドウォール形成材料

実施例の説明に供する工程図

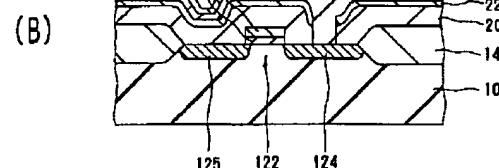
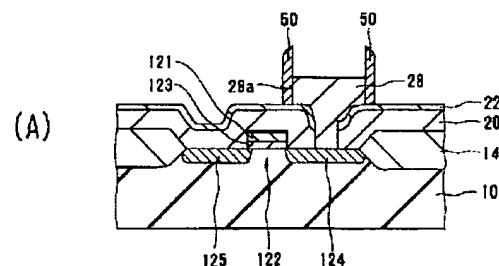
【図17】



48: polySi サイドウォール形成材料

実施例の説明に供する工程図

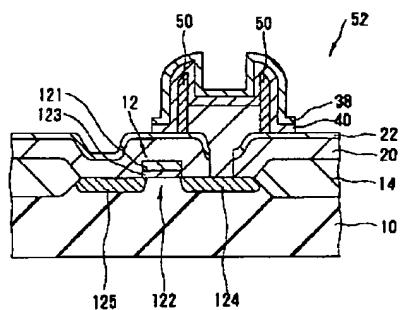
【図18】



50: サイドウォール

実施例の説明に供する工程図

【図19】



52: メモリキャバシタ

実施例の説明に供する工程図